

DERWENT-ACC-NO: 2002-322529

DERWENT-WEEK: 200236

COPYRIGHT 2005 DERWENT INFORMATION LTD

TITLE: Large integrated circuit design device for use
in semiconductor manufacture, performs logic
design of integrated circuit, based on verification of
RTL description and algorithm

PATENT-ASSIGNEE: RICOH KK[RICO]

PRIORITY-DATA: 2000JP-0200199 (June 30, 2000)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE
PAGES MAIN-IPC		
JP 2002024311 A	January 25, 2002	N/A
019 G06F 017/50		

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO
APPL-DATE		
JP2002024311A	N/A	2000JP-0200199
June 30, 2000		

INT-CL (IPC): G06F017/50, H01L021/82

ABSTRACTED-PUB-NO: JP2002024311A

BASIC-ABSTRACT:

NOVELTY - A functional design verification unit (5) verifies whether the algorithm describing the function of an integrated circuit (1c) and the RTL description produced based on the IC function, are equivalent depending on programmable logic output from a programmable logic production unit. A logic design verification unit (6) performs logic design of integrated circuit, when algorithm and RTL description are equivalent.

DETAILED DESCRIPTION - INDEPENDENT CLAIMS are also included for the following:

- (a) Integrated circuit design system;
- (b) Integrated circuit design method;
- (c) Computer readable recorded medium with integrated circuit design program

USE - For use in semiconductor manufacture.

ADVANTAGE - Improves efficiency of design verification and IP utilization as logic design is performed based on verification result thereby design time is shortened. Improves operativity of design as algorithm is described by object oriented language. Enables to utilize IP easily as IP provider does not need to disclose one's own IP design data thereby protecting intellectual property.

DESCRIPTION OF DRAWING(S) - The figure shows the block diagram of the integrated circuit design device. (Drawing includes non-English language text).

Integrated circuit 1c

Functional design verification unit 5

Logic design verification unit 6

CHOSEN-DRAWING: Dwg.1/8

TITLE-TERMS: INTEGRATE CIRCUIT DESIGN DEVICE SEMICONDUCTOR
MANUFACTURE

PERFORMANCE LOGIC DESIGN INTEGRATE CIRCUIT BASED
VERIFICATION

DESCRIBE ALGORITHM

DERWENT-CLASS: T01 U11

EPI-CODES: T01-J15A1; T01-J15A2; T01-S03; U11-G01;

SECONDARY-ACC-NO:

Non-CPI Secondary Accession Numbers: N2002-252925

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-24311

(P2002-24311A)

(43) 公開日 平成14年1月25日 (2002.1.25)

(51) Int. Cl. ⁷	識別記号	F I	テーマコード (参考)
G 0 6 F 17/50	6 6 4	G 0 6 F 17/50	6 6 4 G 5 B 0 4 6
	6 0 1		6 0 1 C 5 F 0 6 4
	6 5 4		6 5 4 K
	6 5 6		6 5 6 B
H 0 1 L 21/82		H 0 1 L 21/82	C

審査請求 未請求 請求項の数15 O L (全 19 頁) 最終頁に続く

(21) 出願番号 特願2000-200199(P2000-200199)

(22) 出願日 平成12年6月30日 (2000.6.30)

(71) 出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(72) 発明者 中川 克彦

東京都大田区中馬込1丁目3番6号 株式会社リコー内

Fターム (参考) 5B046 AA08 BA03 CA06 JA01

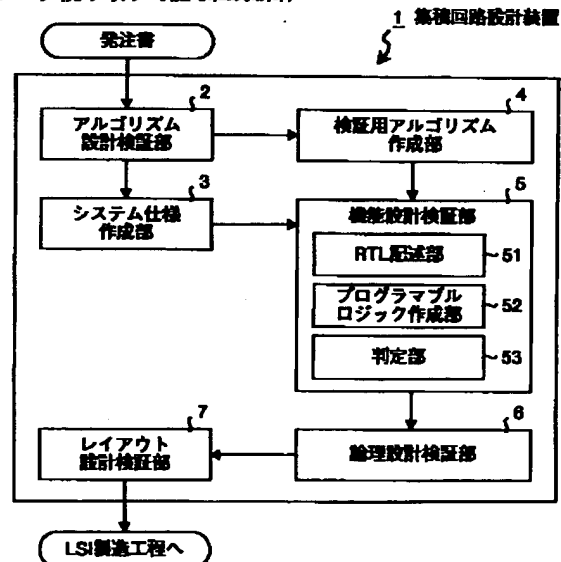
5F064 AA07 HH06 HH08 HH10 HH12

(54) 【発明の名称】 集積回路設計装置、集積回路設計システム、集積回路設計方法およびその方法をコンピュータに実行させるプログラムを記録したコンピュータ読み取り可能な記録媒体

(57) 【要約】

【課題】 設計検証の効率性やIP (設計資産) 利用の効率性を向上させることを課題とする。

【解決手段】 RTL記述をプログラマブルロジックに変換するとともに、アルゴリズムとプログラマブルロジックとに基づいて、アルゴリズムとRTL記述とが等価であるか否かを検証する検証用アルゴリズム作成部4および機能設計検証部5と、該検証にて等価であると検証されたRTL記述に基づいて集積回路の論理設計をおこなう論理設計検証部6とを備える。



【特許請求の範囲】

【請求項1】 設計目標である集積回路の機能を記述したアルゴリズムに対応した仕様を作成し、該作成した仕様から前記集積回路の機能に係るRTL記述を作成して論理設計をおこなう集積回路設計装置において、前記RTL記述をプログラマブルロジックに変換するプログラマブルロジック変換手段と、前記アルゴリズムと前記プログラマブルロジック変換手段によって変換されたプログラマブルロジックとに基づいて、前記アルゴリズムと前記RTL記述とが等価であるか否かを検証する検証手段と、前記検証手段にて等価であると検証されたRTL記述に基づいて前記集積回路の論理設計をおこなう論理設計手段と、を備えたことを特徴とする集積回路設計装置。

【請求項2】 前記検証手段は、前記アルゴリズムに所定の改変を加えて前記プログラマブルロジックにアクセスするための検証用アルゴリズムを作成する検証用アルゴリズム作成手段と、前記検証用アルゴリズム作成手段によって作成された検証用アルゴリズムを用いて前記プログラマブルロジックにアクセスして、該プログラマブルロジックが前記アルゴリズムに記述された機能を実現するか否かを判定する判定手段と、を備えたことを特徴とする請求項1に記載の集積回路設計装置。

【請求項3】 前記検証手段は、前記アルゴリズムに記述された機能に関する入力データと出力データを作成する入出力データ作成手段と、前記入出力データ作成手段によって作成された入力データを前記プログラマブルロジック変換手段によって変換されたプログラマブルロジックに入力し、該入力した入力データに対応して出力される出力データと前記入出力データ作成手段によって作成された出力データとが一致するか否かを比較する比較手段と、を備えたことを特徴とする請求項1に記載の集積回路設計装置。

【請求項4】 前記アルゴリズムは、オブジェクト指向言語によって記述されていることを特徴とする請求項1、2または3に記載の集積回路設計装置。

【請求項5】 設計目標である集積回路の機能を記述したアルゴリズムに対応した仕様を作成する第1のクライアントと、該作成された仕様から集積回路の機能に係るRTL記述を作成する第2のクライアントと、前記第1のクライアントによって作成された仕様を前記第2のクライアントに提供するサーバとをネットワークに接続し、前記第2のクライアントによって作成されたRTL記述に基づいて前記集積回路の論理設計をおこなう集積回路設計システムにおいて、前記第1のクライアントは、

前記アルゴリズム並びに前記仕様を前記サーバに送信する第1の送信手段と、前記サーバから所定のバイナリデータを受信する第1の受信手段と、前記第1の受信手段によって受信された所定のバイナリデータに基づいて前記集積回路の論理設計をおこなう論理設計手段とを備え、

前記第2のクライアントは、前記サーバから前記アルゴリズム並びに前記仕様を受信する第2の受信手段と、前記第2の受信手段によって受信された仕様から集積回路の機能に係るRTL記述を作成し、該作成したRTL記述をプログラマブルロジックに変換するプログラマブルロジック変換手段と、前記第2の受信手段によって受信されたアルゴリズムに所定の改変を加えて前記プログラマブルロジックにアクセスするための検証用アルゴリズムを作成する検証用アルゴリズム作成手段と、前記検証用アルゴリズム作成手段によって作成された検証用アルゴリズムを用いて前記プログラマブルロジックにアクセスして、該プログラマブルロジックが前記アルゴリズムに記述された機能を実現するか否かを判定する判定手段と、前記判定手段によって機能を実現すると判定されたプログラマブルロジックの構成に関するバイナリデータを作成し、該作成したバイナリデータを前記サーバに送信する第2の送信手段とを備え、

前記サーバは、前記第1の送信手段によって送信されたアルゴリズムと、前記第1の送信手段によって送信された仕様と、前記第2の送信手段によって送信されたバイナリデータとを公開する公開手段を備えたことを特徴とする集積回路設計システム。

【請求項6】 設計目標である集積回路の機能を記述したアルゴリズムに対応した仕様を作成する第1のクライアントと、該作成された仕様から集積回路の機能に係るRTL記述を作成する第2のクライアントと、前記第1のクライアントによって作成された仕様を前記第2のクライアントに提供するサーバとをネットワークに接続し、前記第2のクライアントによって作成されたRTL記述に基づいて前記集積回路の論理設計をおこなう集積回路設計システムにおいて、

前記第1のクライアントは、前記アルゴリズムに記述された機能に関する入力データと出力データとを作成する入出力データ作成手段と、前記入出力データ作成手段によって作成された入出力データ並びに前記仕様を前記サーバに送信する第1の送信手段と、前記サーバから所定のバイナリデータを受信する第1の受信手段と、前記第1の受信手段によって受信された所定のバイナリデータに基づいて前記集積回路の論理設計をおこなう論理設計手段とを備え、

前記第2のクライアントは、前記サーバから前記入出力データ並びに前記仕様を受信

する第2の受信手段と、前記第2の受信手段によって受信された仕様から集積回路の機能に係るRTL記述を作成し、該作成したRTL記述をプログラマブルロジックに変換するプログラマブルロジック変換手段と、前記第2の受信手段によって受信された入力データを前記プログラマブルロジック変換手段によって変換されたプログラマブルロジックに入力し、該入力した入力データに対応して出力される出力データと前記第2の受信手段によって受信された出力データとが一致するかどうかを比較する比較手段と、前記比較手段によって出力データが一致すると検証されたプログラマブルロジックの構成に関するバイナリデータを作成し、該作成したバイナリデータを前記サーバに送信する第2の送信手段とを備え、

前記サーバは、

前記第1の送信手段によって送信された入出力データと、前記第1の送信手段によって送信された仕様と、前記第2の送信手段によって送信されたバイナリデータとを公開する公開手段を備えたことを特徴とする集積回路設計システム。

【請求項7】 前記第1のクライアントおよび前記第2のクライアントは、前記サーバとの間に、特定のデータのみを送受信させる防護手段をさらに備えたことを特徴とする請求項5または6に記載の集積回路設計システム。

【請求項8】 設計目標である集積回路の機能を記述したアルゴリズムに対応した仕様を作成し、該作成した仕様から前記集積回路の機能に係るRTL記述を作成して論理設計をおこなう集積回路設計方法において、前記RTL記述をプログラマブルロジックに変換するプログラマブルロジック変換工程と、前記アルゴリズムと前記プログラマブルロジック変換工程によって変換されたプログラマブルロジックとに基づいて、前記アルゴリズムと前記RTL記述とが等価であるかどうかを検証する検証工程と、前記検証工程にて等価であると検証されたRTL記述に基づいて前記集積回路の論理設計をおこなう論理設計工程と、を含んだことを特徴とする集積回路設計方法。

【請求項9】 前記検証工程は、前記アルゴリズムに所定の改変を加えて前記プログラマブルロジックにアクセスするための検証用アルゴリズムを作成する検証用アルゴリズム作成工程と、前記検証用アルゴリズム作成工程によって作成された検証用アルゴリズムを用いて前記プログラマブルロジックにアクセスして、該プログラマブルロジックが前記アルゴリズムに記述された機能を実現するかどうかを判定する判定工程と、を含んだことを特徴とする請求項8に記載の集積回路設計方法。

【請求項10】 前記検証工程は、

前記アルゴリズムに記述された機能に関する入力データと出力データを作成する入出力データ作成工程と、前記入出力データ作成工程によって作成された入力データを前記プログラマブルロジック変換工程によって変換されたプログラマブルロジックに入力し、該入力した入力データに対応して出力される出力データと前記入出力データ作成工程によって作成された出力データとが一致するかどうかを比較する比較工程と、を含んだことを特徴とする請求項8に記載の集積回路設計方法。

【請求項11】 前記アルゴリズムは、オブジェクト指向言語によって記述されていることを特徴とする請求項8、9または10に記載の集積回路設計方法。

【請求項12】 設計目標である集積回路の機能を記述したアルゴリズムに対応した仕様を作成する第1のクライアントと、該作成された仕様から集積回路の機能に係るRTL記述を作成する第2のクライアントと、前記第1のクライアントによって作成された仕様を前記第2のクライアントに提供するサーバとをネットワークに接続し、前記第2のクライアントによって作成されたRTL記述に基づいて前記集積回路の論理設計をおこなう集積回路設計方法において、

前記第1のクライアントが、前記アルゴリズム並びに前記仕様を前記サーバに送信する第1の送信工程と、前記サーバが、前記第1の送信工程によって送信された前記アルゴリズム並びに前記仕様を公開する第1の公開工程と、

前記第2のクライアントが、前記サーバから前記アルゴリズム並びに前記仕様を受信する第1の受信工程と、前記第1の受信工程によって受信された仕様から集積回路の機能に係るRTL記述を作成し、該作成したRTL記述をプログラマブルロジックに変換するプログラマブルロジック変換工程と、前記第1の受信工程によって受信されたアルゴリズムに所定の改変を加えて前記プログラマブルロジックにアクセスするための検証用アルゴリズムを作成する検証用アルゴリズム作成工程と、前記検証用アルゴリズム作成工程によって作成された検証用アルゴリズムを用いて前記プログラマブルロジックにアクセスして、該プログラマブルロジックが前記アルゴリズムに記述された機能を実現するかどうかを判定する判定工程と、前記判定工程によって機能を実現すると判定されたプログラマブルロジックの構成に関するバイナリデータを作成し、該作成したバイナリデータを前記サーバに送信する第2の送信工程と、

前記サーバが、前記第2の送信工程によって送信されたバイナリデータを公開する第2の公開工程と、前記第1のクライアントが、前記サーバから前記バイナリデータを受信する第2の受信工程と、前記第2の受信工程によって受信された前記バイナリデータに基づいて前記集積回路の論理設計をおこなう論理設計工程と、

を含んだことを特徴とする集積回路設計方法。

【請求項13】 設計目標である集積回路の機能を記述したアルゴリズムに対応した仕様を作成する第1のクライアントと、該作成された仕様から集積回路の機能に係るRTL記述を作成する第2のクライアントと、前記第1のクライアントによって作成された仕様を前記第2のクライアントに提供するサーバとをネットワークに接続し、前記第2のクライアントによって作成されたRTL記述に基づいて前記集積回路の論理設計をおこなう集積回路設計方法において、

前記第1のクライアントが、前記アルゴリズムに記述された機能に関する入力データと出力データとを作成する入出力データ作成工程と、前記入出力データ作成工程によって作成された入出力データ並びに前記仕様を前記サーバに送信する第1の送信工程と、

前記サーバが、前記第1の送信工程によって送信された前記入出力データ並びに前記仕様を公開する第1の公開工程と、

前記第2のクライアントが、前記サーバから前記入出力データ並びに前記仕様を受信する第1の受信工程と、前記第1の受信工程によって受信された仕様から集積回路の機能に係るRTL記述を作成し、該作成したRTL記述をプログラマブルロジックに変換するプログラマブルロジック変換工程と、前記第1の受信工程によって受信された入力データを前記プログラマブルロジック変換工程によって変換されたプログラマブルロジックに入力し、該入力した入力データに対応して出力される出力データと前記第1の受信工程によって受信された出力データとが一致するか否か比較する比較工程と、前記比較工程によって出力データが一致すると検証されたプログラマブルロジックの構成に関するバイナリデータを作成し、該作成したバイナリデータを前記サーバに送信する第2の送信工程と、

前記サーバが、前記第2の送信工程によって送信されたバイナリデータを公開する第2の公開工程と、

前記第1のクライアントが、前記サーバから前記バイナリデータを受信する第2の受信工程と、前記第2の受信工程によって受信された前記バイナリデータに基づいて前記集積回路の論理設計をおこなう論理設計工程と、を含んだことを特徴とする集積回路設計方法。

【請求項14】 前記第1のクライアントおよび前記第2のクライアントは、前記サーバとの間に、特定のデータのみを送受信させる防護工程をさらに含んだことを特徴とする請求項12または13に記載の集積回路設計方法。

【請求項15】 前記請求項8～14のいずれか一つに記載された方法をコンピュータに実行させるプログラムを記録したことを特徴とするコンピュータ読み取り可能な記録媒体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、設計目標である集積回路の機能を記述したアルゴリズムに対応した仕様を作成し、該作成した仕様から前記集積回路の機能に係るRTL記述を作成して論理設計をおこなう集積回路設計技術に関し、特に、設計検証の効率性やIP（設計資産）利用の効率性を向上させることができる集積回路設計装置、集積回路設計システム、集積回路設計方法およびその方法をコンピュータに実行させるプログラムを記録したコンピュータ読み取り可能な記録媒体に関する。

【0002】

【従来の技術】従来、20～30個のトランジスタをワンチップに集積した基本論理回路用の集積回路（IC：Integrated circuit）が登場し、さらに、半導体製造技術の進歩によるLSI（大規模集積回路：Large Scale Integrated circuit）の高集積化にともなって、「システムLSI」と呼ばれるものが普及してきている。

【0003】このシステムLSIは、CPUを核に、システムに必要な機能を回路ブロック（メモリ、コア、ロジック、ミドルウェアなど）としてワンチップに集積し、システムの動作を可能にしたICである。そして、このようなシステムLSIは、顧客の発注書を基にしてチップのマスクデータを作成する設計工程と、このマスクデータを基にして実際にチップを製造する製造工程とを経て製品化される。

【0004】ここで、従来技術におけるシステムLSIの設計手順を説明する。図8は、従来技術におけるシステムLSIの設計手順を示すフローチャートである。同図に示すように、従来技術におけるシステムLSIの設計は、アルゴリズム設計・検証（ステップS801）、仕様書作成（ステップS802）、RTL記述による機能設計・検証（ステップS803）、論理設計・検証（ステップS804）、レイアウト設計・検証（ステップS805）、という工程でおこなわれていた。以下に、これらの各工程について簡単に説明する。

【0005】一般的に、半導体製造メーカーは、顧客（セットメーカー）からシステムの発注書入手し、この発注書を基にシステムLSIの設計を開始する。この発注書においては、一般的に、システムの概要、機能、性能、目標価格などが明らかにされている。そして、まず最初に、アルゴリズム設計・検証の工程（ステップS801）として、発注書を基にして、システムの機能や動作などをC++やCなどのプログラム言語で記述したアルゴリズムを作成し、このアルゴリズムが発注書の内容を満足するかを検証する。

【0006】次に、仕様書作成の工程（ステップS802）として、システムのアルゴリズムを基にして、システム全体をいくつかの機能モジュール（サブシステム）に分割したシステムの振る舞いモデルを、HDLやVH

DL言語などで記述した仕様書を作成する。次に、RTL記述による機能設計・検証の工程(ステップS803)として、振る舞いモデルのHDL記述の仕様書を基にして、システムLSIの機能をRTL(Register Transfer Level)で記述した設計データを作成し、このRTL記述が仕様書の仕様を満足するかを検証する。なお、このRTL記述は、フリップ・フロップやレジスタなどの回路を結びつけて、システム全体の機能や動作を表現した設計データである。

【0007】次に、論理設計・検証の工程(ステップS804)として、RTL記述を基にして、論理合成ツールなどを用いて、論理回路接続を記述したネットリストを作成し、このネットリストが仕様書の仕様を満足するかを再検証する。次に、レイアウト設計・検証の工程(ステップS805)として、ネットリストを基にして、論理回路で構成された各機能ブロックをシリコンチップ上に配置・配線したマスクデータを作成し、配線接続が設計通りであるかなどを検証する。そして、このマスクデータが製造工程に渡される。

【0008】ところで、システムLSIの設計において、全ての回路を新たに設計したのでは、多大な時間を要するので、IP(Intellectual Property:設計資産)を活用して機能設計をおこなう設計手法が登場した。このIPを活用した設計手法は、過去に開発したICを再利用したり、他社やIPプロバイダが所有する機能の優れたICや標準的機能のICを利用することによって、設計期間の短縮や設計コストの軽減に対応しようというものであり、IPには、ハードウェアIP(機能ブロック)とソフトウェアIP(ミドルウェア)がある。一般的には、半導体製造メーカーがアルゴリズムを開示したり、IPプロバイダがIPの設計データを開示することなどによって、システムLSIの設計にIPが利用される。

【0009】

【発明が解消しようとする課題】しかしながら、上記の従来技術は、システムLSIの設計における設計検証の効率性やIP(設計資産)利用の効率性に限界があるため、長期にわたる設計期間を要するという問題点があった。

【0010】すなわち、アルゴリズムの設計は抽象度の高いレベルでおこなわれるのに対し、RTL記述による機能設計は具体的な回路構成を意識しておこなわれるので、RTL記述の質は、設計技術者の経験や能力に依存するところが大きく、アルゴリズムに対する設計ミスも生じ易い。しかし、上記従来技術においては、アルゴリズムとRTL記述との間の設計検証は、仕様書のみを介しておこなっていたので、RTL記述による機能設計の段階においてRTL記述がアルゴリズムと等価であるかを検証することはできなかった。このため、設計検証を効率的におこなうには限界があり、設計期間の短縮に十

分に対応することができないこととなる。

【0011】また、設計期間の短縮に十分に対応するには、過去に開発したICを再利用したり、他社やIPプロバイダが所有する機能の優れたICや標準的機能のICを利用するなど、IPを効率的に利用することが必要になる。しかし、上記従来技術においては、上述したように、RTL記述による機能設計の段階においてRTL記述がアルゴリズムと等価であるかを検証しないので、調達したIPが目的のアルゴリズムに対して正しく機能するかは保証できなかった。このため、IPを効率的に利用するには限界があり、設計期間の短縮に十分に対応することができないこととなる。

【0012】さらに、システムLSIの設計においては、半導体製造メーカーが所有するアルゴリズムやIPプロバイダが所有するIP設計データなど、知的財産の十分な保護が前提にある。しかし、上記従来技術においては、IPプロバイダの所有するIPを利用する場合には、アルゴリズムやIP設計データなどの知的財産を互いに開示する必要があったので、知的財産の保護のためには、ライセンス交渉などの手続を踏む必要があった。このため、IPを容易に調達して効率的に利用するには限界があり、設計期間の短縮に十分に対応することができないこととなる。

【0013】そこで、この発明は、上述した従来技術による問題点を解決するため、設計検証の効率性やIP(設計資産)利用の効率性を向上させることができる集積回路設計装置、集積回路設計システム、集積回路設計方法およびその方法をコンピュータに実行させるプログラムを記録したコンピュータ読み取り可能な記録媒体を提供することを目的とする。

【0014】

【課題を解決するための手段】上述した課題を解決し、目的を達成するため、請求項1の発明に係る集積回路設計装置は、設計目標である集積回路の機能を記述したアルゴリズムに対応した仕様を作成し、該作成した仕様から前記集積回路の機能に係るRTL記述を作成して論理設計をおこなう集積回路設計装置において、前記RTL記述をプログラマブルロジックに変換するプログラマブルロジック変換手段と、前記アルゴリズムと前記プログラマブルロジック変換手段によって変換されたプログラマブルロジックとに基づいて、前記アルゴリズムと前記RTL記述とが等価であるか否かを検証する検証手段と、前記検証手段にて等価であると検証されたRTL記述に基づいて前記集積回路の論理設計をおこなう論理設計手段と、を備えたことを特徴とする。

【0015】また、請求項2の発明に係る集積回路設計装置は、請求項2に記載の発明において、前記検証手段は、前記アルゴリズムに所定の改変を加えて前記プログラマブルロジックにアクセスするための検証用アルゴリズムを作成する検証用アルゴリズム作成手段と、前記検

証用アルゴリズム作成手段によって作成された検証用アルゴリズムを用いて前記プログラマブルロジックにアクセスして、該プログラマブルロジックが前記アルゴリズムに記述された機能を実現するか否かを判定する判定手段と、を備えたことを特徴とする。

【0016】また、請求項3の発明に係る集積回路設計装置は、請求項2に記載の発明において、前記検証手段は、前記アルゴリズムに記述された機能に関する入力データと出力データを作成する入出力データ作成手段と、前記入出力データ作成手段によって作成された入力データを前記プログラマブルロジック変換手段によって変換されたプログラマブルロジックに入力し、該入力した入力データに対応して出力される出力データと前記入出力データ作成手段によって作成された出力データとが一致するか否かを比較する比較手段と、を備えたことを特徴とする。

【0017】また、請求項4の発明に係る集積回路設計装置は、請求項1、2または3に記載の発明において、前記アルゴリズムは、オブジェクト指向言語によって記述されていることを特徴とする。

【0018】また、請求項5の発明に係る集積回路設計システムは、設計目標である集積回路の機能を記述したアルゴリズムに対応した仕様を作成する第1のクライアントと、該作成された仕様から集積回路の機能に係るRTL記述を作成する第2のクライアントと、前記第1のクライアントによって作成された仕様を前記第2のクライアントに提供するサーバとをネットワークに接続し、前記第2のクライアントによって作成されたRTL記述に基づいて前記集積回路の論理設計をおこなう集積回路設計システムにおいて、前記第1のクライアントは、前記アルゴリズム並びに前記仕様を前記サーバに送信する第1の送信手段と、前記サーバから所定のバイナリデータを受信する第1の受信手段と、前記第1の受信手段によって受信された所定のバイナリデータに基づいて前記集積回路の論理設計をおこなう論理設計手段とを備え、前記第2のクライアントは、前記サーバから前記アルゴリズム並びに前記仕様を受信する第2の受信手段と、前記第2の受信手段によって受信された仕様から集積回路の機能に係るRTL記述を作成し、該作成したRTL記述をプログラマブルロジックに変換するプログラマブルロジック変換手段と、前記第2の受信手段によって受信されたアルゴリズムに所定の改変を加えて前記プログラマブルロジックにアクセスするための検証用アルゴリズムを作成する検証用アルゴリズム作成手段と、前記検証用アルゴリズム作成手段によって作成された検証用アルゴリズムを用いて前記プログラマブルロジックにアクセスして、該プログラマブルロジックが前記アルゴリズムに記述された機能を実現するか否かを判定する判定手段と、前記判定手段によって機能を実現すると判定されたプログラマブルロジックの構成に関するバイナリデータ

を作成し、該作成したバイナリデータを前記サーバに送信する第2の送信手段とを備え、前記サーバは、前記第1の送信手段によって送信されたアルゴリズムと、前記第1の送信手段によって送信された仕様と、前記第2の送信手段によって送信されたバイナリデータとを公開する公開手段を備えたことを特徴とする。

【0019】また、請求項6の発明に係る集積回路設計システムは、設計目標である集積回路の機能を記述したアルゴリズムに対応した仕様を作成する第1のクライアントと、該作成された仕様から集積回路の機能に係るRTL記述を作成する第2のクライアントと、前記第1のクライアントによって作成された仕様を前記第2のクライアントに提供するサーバとをネットワークに接続し、前記第2のクライアントによって作成されたRTL記述に基づいて前記集積回路の論理設計をおこなう集積回路設計システムにおいて、前記第1のクライアントは、前記アルゴリズムに記述された機能に関する入力データと出力データとを作成する入出力データ作成手段と、前記入出力データ作成手段によって作成された入出力データ並びに前記仕様を前記サーバに送信する第1の送信手段と、前記サーバから所定のバイナリデータを受信する第1の受信手段と、前記第1の受信手段によって受信された所定のバイナリデータに基づいて前記集積回路の論理設計をおこなう論理設計手段とを備え、前記第2のクライアントは、前記サーバから前記入出力データ並びに前記仕様を受信する第2の受信手段と、前記第2の受信手段によって受信された仕様から集積回路の機能に係るRTL記述を作成し、該作成したRTL記述をプログラマブルロジックに変換するプログラマブルロジック変換手段と、前記第2の受信手段によって受信された入力データを前記プログラマブルロジック変換手段によって変換されたプログラマブルロジックに入力し、該入力した入力データに対応して出力される出力データと前記第2の受信手段によって受信された出力データとが一致するか否かを比較する比較手段と、前記比較手段によって出力データが一致すると検証されたプログラマブルロジックの構成に関するバイナリデータを作成し、該作成したバイナリデータを前記サーバに送信する第2の送信手段とを備え、前記サーバは、前記第1の送信手段によって送信された入出力データと、前記第1の送信手段によって送信された仕様と、前記第2の送信手段によって送信されたバイナリデータとを公開する公開手段を備えたことを特徴とする。

【0020】また、請求項7の発明に係る集積回路設計システムは、請求項5または6に記載の発明において、前記第1のクライアントおよび前記第2のクライアントは、前記サーバとの間に、特定のデータのみを送受信させる防護手段をさらに備えたことを特徴とする。

【0021】また、請求項8の発明に係る集積回路設計方法は、設計目標である集積回路の機能を記述したアル

ゴリズムに対応した仕様を作成し、該作成した仕様から前記集積回路の機能に係るRTL記述を作成して論理設計をおこなう集積回路設計方法において、前記RTL記述をプログラマブルロジックに変換するプログラマブルロジック変換工程と、前記アルゴリズムと前記プログラマブルロジック変換工程によって変換されたプログラマブルロジックとに基づいて、前記アルゴリズムと前記RTL記述とが等価であるか否かを検証する検証工程と、前記検証工程にて等価であると検証されたRTL記述に基づいて前記集積回路の論理設計をおこなう論理設計工程と、を含んだことを特徴とする。

【0022】また、請求項9の発明に係る集積回路設計方法は、請求項8に記載の発明において、前記検証工程は、前記アルゴリズムに所定の改変を加えて前記プログラマブルロジックにアクセスするための検証用アルゴリズムを作成する検証用アルゴリズム作成工程と、前記検証用アルゴリズム作成工程によって作成された検証用アルゴリズムを用いて前記プログラマブルロジックにアクセスして、該プログラマブルロジックが前記アルゴリズムに記述された機能を実現するか否かを判定する判定工程と、を含んだことを特徴とする。

【0023】また、請求項10の発明に係る集積回路設計方法は、請求項8に記載の発明において、前記検証工程は、前記アルゴリズムに記述された機能に関する入力データと出力データを作成する入出力データ作成工程と、前記入出力データ作成工程によって作成された入力データを前記プログラマブルロジック変換工程によって変換されたプログラマブルロジックに入力し、該入力した入力データに対応して出力される出力データと前記入出力データ作成工程によって作成された出力データとが一致するか否かを比較する比較工程と、を含んだことを特徴とする。

【0024】また、請求項11の発明に係る集積回路設計方法は、請求項8、9または10に記載の発明において、前記アルゴリズムは、オブジェクト指向言語によって記述されていることを特徴とする。

【0025】また、請求項12の発明に係る集積回路設計方法は、設計目標である集積回路の機能を記述したアルゴリズムに対応した仕様を作成する第1のクライアントと、該作成された仕様から集積回路の機能に係るRTL記述を作成する第2のクライアントと、前記第1のクライアントによって作成された仕様を前記第2のクライアントに提供するサーバとをネットワークに接続し、前記第2のクライアントによって作成されたRTL記述に基づいて前記集積回路の論理設計をおこなう集積回路設計方法において、前記第1のクライアントが、前記アルゴリズム並びに前記仕様を前記サーバに送信する第1の送信工程と、前記サーバが、前記第1の送信工程によって送信された前記アルゴリズム並びに前記仕様を公開する第1の公開工程と、前記第2のクライアントが、前記

サーバから前記アルゴリズム並びに前記仕様を受信する第1の受信工程と、前記第1の受信工程によって受信された仕様から集積回路の機能に係るRTL記述を作成し、該作成したRTL記述をプログラマブルロジックに変換するプログラマブルロジック変換工程と、前記第1の受信工程によって受信されたアルゴリズムに所定の改変を加えて前記プログラマブルロジックにアクセスするための検証用アルゴリズムを作成する検証用アルゴリズム作成工程と、前記検証用アルゴリズム作成工程によって作成された検証用アルゴリズムを用いて前記プログラマブルロジックにアクセスして、該プログラマブルロジックが前記アルゴリズムに記述された機能を実現するか否かを判定する判定工程と、前記判定工程によって機能を実現すると判定されたプログラマブルロジックの構成に関するバイナリデータを作成し、該作成したバイナリデータを前記サーバに送信する第2の送信工程と、前記サーバが、前記第2の送信工程によって送信されたバイナリデータを公開する第2の公開工程と、前記第1のクライアントが、前記サーバから前記バイナリデータを受信する第2の受信工程と、前記第2の受信工程によって受信された前記バイナリデータに基づいて前記集積回路の論理設計をおこなう論理設計工程と、を含んだことを特徴とする。

【0026】また、請求項13の発明に係る集積回路設計方法は、設計目標である集積回路の機能を記述したアルゴリズムに対応した仕様を作成する第1のクライアントと、該作成された仕様から集積回路の機能に係るRTL記述を作成する第2のクライアントと、前記第1のクライアントによって作成された仕様を前記第2のクライアントに提供するサーバとをネットワークに接続し、前記第2のクライアントによって作成されたRTL記述に基づいて前記集積回路の論理設計をおこなう集積回路設計方法において、前記第1のクライアントが、前記アルゴリズムに記述された機能に関する入力データと出力データとを作成する入出力データ作成工程と、前記入出力データ作成工程によって作成された入出力データ並びに前記仕様を前記サーバに送信する第1の送信工程と、前記サーバが、前記第1の送信工程によって送信された前記入出力データ並びに前記仕様を公開する第1の公開工程と、前記第2のクライアントが、前記サーバから前記入出力データ並びに前記仕様を受信する第1の受信工程と、前記第1の受信工程によって受信された仕様から集積回路の機能に係るRTL記述を作成し、該作成したRTL記述をプログラマブルロジックに変換するプログラマブルロジック変換工程と、前記第1の受信工程によって受信された入力データを前記プログラマブルロジック変換工程によって変換されたプログラマブルロジックに入力し、該入力した入力データに対応して出力される出力データと前記第1の受信工程によって受信された出力データとが一致するか否かを比較する比較工程と、前記比

較工程によって出力データが一致すると検証されたプログラマブルロジックの構成に関するバイナリデータを作成し、該作成したバイナリデータを前記サーバに送信する第2の送信工程と、前記サーバが、前記第2の送信工程によって送信されたバイナリデータを公開する第2の公開工程と、前記第1のクライアントが、前記サーバから前記バイナリデータを受信する第2の受信工程と、前記第2の受信工程によって受信された前記バイナリデータに基づいて前記集積回路の論理設計をおこなう論理設計工程と、を含んだことを特徴とする。

【0027】また、請求項14の発明に係る集積回路設計方法は、請求項12または13に記載の発明において、前記第1のクライアントおよび前記第2のクライアントは、前記サーバとの間に、特定のデータのみを送受信させる防護工程をさらに含んだことを特徴とする。

【0028】また、請求項15の発明に係る記録媒体は、請求項8～14のいずれか一つに記載された方法をコンピュータに実行させるプログラムを記録したことで、そのプログラムを機械読み取り可能となり、これによって、請求項8～14のいずれか一つの動作をコンピュータによって実行することができる。

【0029】

【発明の実施の形態】以下に添付図面を参照して、この発明に係る集積回路設計装置、集積回路設計システム、集積回路設計方法、およびその方法をコンピュータに実行させるプログラムを記録したコンピュータ読み取り可能な記録媒体の好適な実施の形態を詳細に説明する。なお、本実施の形態では、本発明をシステムLSIの設計に適用した場合を示すこととする。ただし、本実施の形態によってこの発明が限定されるものではなく、たとえば、基本回路用のICやLSIなど、設計目標である集積回路の機能を記述したアルゴリズムに基づいて論理設計をおこなう、あらゆる集積回路設計に適用することができる。

【0030】また、下記に示す実施の形態1では、検証用アルゴリズムを用いて検証設計をおこなう場合について説明し、また、実施の形態2では、ネットワーク接続されたIP（設計資産）プロバイダとの間で検証用アルゴリズムを用いて検証設計をおこなう場合について説明し、また、実施の形態3では、アルゴリズムの入出力データ（テストベクタ）を用いて検証設計をおこなう場合について説明し、また、実施の形態4では、ネットワーク接続されたIPプロバイダとの間でアルゴリズムの入出力データを用いて検証設計をおこなう場合について説明することとする。

【0031】（実施の形態1）まず最初に、本実施の形態1に係る集積回路設計装置の構成について説明する。図1は、本実施の形態1に係る集積回路設計装置1の構成を示すブロック図である。同図に示すように、本実施の形態1に係る集積回路設計装置1は、アルゴリズム設

計検証部2と、システム仕様作成部3と、検証用アルゴリズム作成部4と、機能設計検証部5と、論理設計検証部6と、レイアウト設計検証部7と、を備えて構成される。

【0032】概略的には、本実施の形態1に係る集積回路設計装置1は、機能設計検証部5において、RTL記述をプログラマブルロジックに変換し、検証用アルゴリズム作成部4において、アルゴリズムに所定の改変を加えてプログラマブルロジックにアクセスするための検証用アルゴリズムを作成し、機能設計検証部5において、検証用アルゴリズムを用いてプログラマブルロジックにアクセスして、このプログラマブルロジックがアルゴリズムに記述された機能を実現するか否かを判定することによって、RTL記述による機能設計の段階においてRTL記述がアルゴリズムと等価であるか否かを検証するものである。

【0033】以下、図1および図2を参照して、本実施の形態1に係る集積回路設計装置1について、各部の処理内容を説明する。まず最初に、図1に示すアルゴリズム設計検証部2は、顧客（セッテメーカ）から入手した発注書を基にして、システムの機能や動作などをC++やCなどのオブジェクト指向のプログラム言語で記述したアルゴリズムを作成し、このアルゴリズムが発注書の内容を満足するかを検証する処理部である。なお、発注書には、一般的に、システムの概要、機能、性能、目標価格などが明らかにされている。

【0034】ここで、アルゴリズムの設計は、ハードウェアで実現される機能とソフトウェアで実現される機能とを区別して設計するだけでなく、これを区別しないで設計することもできる。また、実現される機能を最上位のレベル（単位）から最下位のレベル（単位）に分割して設計することもできる。なお、本実施の形態1では、アルゴリズムをオブジェクト指向言語で記述することとしたが、本発明はこれに限定されるものではなく、HDLやVHDLなどのハードウェア記述言語で記述することもできる。

【0035】図1に示すシステム仕様作成部3は、アルゴリズム設計検証部2によって設計検証されたアルゴリズムを基にして、システム全体をいくつかの機能モジュール（サブシステム）に分割したシステムの振る舞いモデルを、HDLやVHDL言語などで記述した仕様書を作成する処理部である。

【0036】具体的には、システム仕様作成部3は、アルゴリズムをベースに機械的な部分、入出力のハードウェア、応用ソフトの機能分担などを十分に考慮して、システムLSIに分担させる機能や性能を決定し、すでに実績のある回路ブロックやソフトウェアの設計資産と応用システムの方式を選択しながら、LSIの内部構成の大枠を決める。そして、システム全体をいくつかの機能モジュール（サブ・システム）に分割して、機能プロッ

クを決定した仕様書を作成する。

【0037】図1に示す検証用アルゴリズム作成部4は、検証用アルゴリズム作成手段として、アルゴリズム設計検証部2によって設計検証されたアルゴリズムに所定の改変を加えて、後述するプログラマブルロジックにアクセスするための検証用アルゴリズムを作成する処理部である。

【0038】ここで、検証用アルゴリズム作成部4による検証用アルゴリズムの作成手法を説明する。図2は、図1に示した検証用アルゴリズム作成部4による検証用アルゴリズムの作成手法を説明するための説明図であり、詳細には、図2(a)は、アルゴリズム設計検証部2によって設計検証されたアルゴリズムの一例を示し、図2(b)は、このアルゴリズムに所定の改変を加えて作成された検証用アルゴリズムを示す。

【0039】図2(a)は、ハードウェアにて乗算が実現される場合をC++で記述した例を示しており、C++記述のクラスfuncがハードウェアで実現される単位である。そして、図2(b)に示すように、アルゴリズムのクラスfuncをfunc#FPGAに変更するという改変を加えることによって、プログラマブルロジックにアクセスするための検証用アルゴリズムが作成される。なお、図2(b)では、ハードのアクセスを記述する場合を示したが、ソフトのアクセスを記述することもできる。

【0040】図1に示した機能設計検証部5は、同図に示すように、RTL記述部51と、プログラマブルロジック作成部52と、判定部53とを備えて構成される。以下、機能設計検証部5の各部の処理内容について説明する。

【0041】機能設計検証部5のRTL記述部51は、振る舞いモデルのHDL記述の仕様書を基にして、システムLSIの機能をRTL(Register Transfer Level)で記述した設計データを作成する処理部である。なお、このRTL記述は、フリップ・フロップやレジスタなどの回路を結びつけて、システム全体の機能や動作を表現した設計データである。また、RTL記述は、ハードウェアIP(機能ブロック)とソフトウェアIP(ミドルウェア)などのIP(設計資産)を活用しておこなわれる。すなわち、過去に開発したICを再利用したり、他社やIPプロバイダが所有する機能の優れたICや標準的機能のICを利用することもできる。

【0042】また、機能設計検証部5のプログラマブルロジック作成部52は、プログラマブルロジック変換手段として、RTL記述部51によって作成されたRTL記述をプログラマブルロジックに変換する処理部である。

【0043】また、機能設計検証部5の判定部53は、判定手段として、検証用アルゴリズム作成部4によって作成された検証用アルゴリズムを用いて、プログラマブルロジック作成部52によって作成されたプログラマ

ブルロジックにアクセスして、このプログラマブルロジックがアルゴリズムに記述された機能を実現するか否かを判定する処理部である。この判定部53により、プログラマブルロジックがアルゴリズムに記述された機能を実現すると判定された場合は、アルゴリズムとRTL記述とが等価であることが検証される。一方、実現しないと判定された場合には、実現されると判定されるまで、新たにRTL記述をおこなう。

【0044】図1に示した論理設計検証部6は、論理設計手段として、機能設計検証部5の判定部53によってアルゴリズムと等価であると検証されたRTL記述(プログラマブルロジック)を基にして、論理合成ツールなどを用いて、論理回路接続を記述したネットリストを作成し、このネットリストが仕様書の仕様を満足するかを再検証する処理部である。

【0045】図1に示したレイアウト設計検証部7は、論理設計検証部6によって作成されたネットリストを基にして、論理回路で構成された各機能ブロックをシリコンチップ上に配置・配線したマスクデータを作成し、配線接続が設計通りであるかなどを検証する処理部である。そして、このマスクデータが製造工程に渡される。

【0046】次に、上記のように構成された本実施の形態1に係る集積回路設計装置1における設計処理手順を説明する。図3は、本実施の形態1に係る集積回路設計装置1における設計処理手順を示すフローチャートである。まず最初に、アルゴリズム設計検証部2によって、発注書を基にしてアルゴリズムの設計検証をおこない(ステップS301)、検証用アルゴリズム作成部3によって、アルゴリズムを基にして検証用アルゴリズムを作成する(ステップS302)。

【0047】そして、システム仕様作成部3によって、アルゴリズムを基にして仕様書を作成し(ステップS303)、RTL記述部51によって、仕様書を基にしてRTL記述をおこない(ステップS304)、プログラマブルロジック作成部52によって、RTL記述をプログラマブルロジックに変換する(ステップS305)。

【0048】そして、判定部53によって、プログラマブルロジックがアルゴリズムに記述された機能を実現するか否かを判定し(ステップS306)、実現しないと判定された場合には(ステップS306否定)、新たにRTL記述をおこなう(ステップS304)。一方、実現する判定された場合には(ステップS306肯定)、論理設計検証部6によって、論理設計をおこない(ステップS307)、レイアウト設計検証部7によって、レイアウト設計をおこなう(ステップS308)。

【0049】上述してきたように、本実施の形態1では、プログラマブルロジック作成部52が、RTL記述部51によって記述されたRTL記述をプログラマブルロジックに変換し、検証用アルゴリズム作成部4が、アルゴリズム設計検証部2によって設計検証されたアルゴ

リズムに所定の改変を加えてプログラマブルロジックにアクセスするための検証用アルゴリズムを作成し、判定部53が、検証用アルゴリズムを用いてプログラマブルロジックにアクセスして、該プログラマブルロジックがアルゴリズムに記述された機能を実現するか否かを判定することとしたので、RTL記述による機能設計の段階においてRTL記述がアルゴリズムと等価であるかを検証することができる。このため、調達したIPが目的のアルゴリズムに対して正しく機能するかを検証することもできる。したがって、設計検証の効率性やIP利用の効率性を向上させて、設計時間の短縮化を図ることができる。

【0050】また、本実施の形態1では、アルゴリズム設計検証部2が、オブジェクト指向言語によってアルゴリズムを記述することとしたので、回路（システム）の振る舞いをひとまとまりとして扱うことができる。このため、設計の操作性を向上させることができる。

【0051】（実施の形態2）本実施の形態2では、上記実施の形態1で示した集積回路設計の手法を、ネットワーク接続されたIP（設計資産）プロバイダとの間でおこなう集積回路設計システムについて説明する。すなわち、本実施の形態2に係る集積回路設計システムは、設計目標である集積回路の機能を記述したアルゴリズムに対応した仕様を作成する半導体メーカーとしての第1のクライアントと、仕様から集積回路の機能に係るRTL記述を作成するIPプロバイダとしての第2のクライアントと、第1のクライアントによって作成された仕様を第2のクライアントに提供するWEBサーバとをネットワークに接続して構成される。

【0052】概略的には、本実施の形態2に係る集積回路設計システムは、半導体メーカーとしての第1のクライアントが、アルゴリズム並びに仕様をWEBサーバを介してIPプロバイダとしての第2のクライアントに送信し、第2のクライアントが、検証用アルゴリズムを用いて検証設計をおこなったプログラマブルロジックの構成に関するバイナリデータをWEBサーバを介して第1のクライアントに送信し、第1のクライアントが、バイナリデータを基に論理設計をおこなう。

【0053】以下、本実施の形態2に係る集積回路設計システムについて、半導体メーカーとしての第1のクライアント、IPプロバイダとしての第2のクライアントおよびWEBサーバの構成および処理の内容を簡単に説明する。

【0054】第1のクライアントは、発注書を基にしてアルゴリズムを作成し、このアルゴリズムが発注書の内容を満足するかを検証するアルゴリズム設計検証部と、アルゴリズムを基にしてシステムの仕様書を作成するシステム仕様作成部と、アルゴリズム並びに仕様書をWEBサーバに送信する送信部と、WEBサーバから所定のバイナリデータを受信する受信部と、バイナリデータを

基にしてプログラムロジックを作成するプログラマブルロジック作成部と、プログラマブルロジックを基にして論理設計をおこなってネットリストを作成する論理設計検証部と、ネットリストを基にしてマスクデータを作成するレイアウト設計検証部とを備えて構成される。

【0055】また、第2のクライアントは、WEBサーバからアルゴリズム並びに仕様書を受信する受信部と、受信された仕様から集積回路の機能に係るRTL記述を作成し、このRTL記述をプログラマブルロジックに変換するプログラマブルロジック作成部と、受信されたアルゴリズムに所定の改変を加えてプログラマブルロジックにアクセスするための検証用アルゴリズムを作成する検証用アルゴリズム作成部と、検証用アルゴリズムを用いてプログラマブルロジックにアクセスして、プログラマブルロジックがアルゴリズムに記述された機能を実現するか否かを判定する判定部と、判定部によって機能を実現すると判定されたプログラマブルロジックの構成に関するバイナリデータを作成するバイナリデータ作成部と、作成したバイナリデータをWEBサーバに送信する送信部とを備えて構成される。

【0056】また、WEBサーバは、第1のクライアントから送信されたアルゴリズム並びに仕様書と、第2のクライアントから送信されたバイナリデータとを公開する公開部を備えて構成される。なお、第1のクライアントおよび第2のクライアントは、WEBサーバとの間に、特定のデータのみを送受信させる防護手段としてのファイアウォールを備える。

【0057】次に、上記のように構成された本実施の形態2に係る集積回路設計システムにおける設計処理手順を説明する。図4は、本実施の形態2に係る集積回路設計システムにおける設計処理手順を示すシーケンス図である。まず最初に、半導体メーカーは、アルゴリズムの設計検証と仕様書の作成をおこなって、このアルゴリズム並びに仕様をWEBサーバに送信する（ステップS401およびステップS402）。なお、送信されたアルゴリズム並びに仕様は、サーバ上で公開される。

【0058】そして、IPプロバイダは、WEBサーバからアルゴリズムを受信して検証用アルゴリズムを作成する（ステップS403）。また、WEBサーバから仕様書を受信して、RTL記述、IPの選択およびカスタマイズ、プログラマブルロジックの作成、検証用アルゴリズムを用いたプログラマブルロジックの機能実現に関する判定などをおこなう（ステップS404）。そして、判定部によって機能を実現すると判定されたプログラマブルロジックの構成に関するバイナリデータを作成して、このバイナリデータをWEBサーバに送信する（ステップS405）。

【0059】そして、半導体メーカーは、WEBサーバからバイナリデータを受信して、このバイナリデータを基にプログラマブルロジックを作成する（ステップS40

6)。なお、バイナリデータから元のIP回路を復元することは不可能であるので、IPプロバイダのIP設計データに係る知的財産は保護される。そして、半導体メーカーは、論理設計検証をおこない(ステップS407)、レイアウト設計検証をおこなう(ステップS408)。

【0060】上述してきたように、本実施の形態2では、第1のクライアントにおいて、送信部が、アルゴリズム並びに仕様をWEBサーバに送信し、受信部が、WEBサーバから所定のバイナリデータを受信し、論理設計部が、受信部によって受信された所定のバイナリデータに基づいて論理設計をおこない、第2のクライアントにおいては、受信部は、WEBサーバからアルゴリズム並びに仕様を受信し、プログラマブルロジック作成部が、受信部によって受信された仕様から集積回路の機能に係るRTL記述を作成し、該作成したRTL記述をプログラマブルロジックに変換し、検証用アルゴリズム作成部が、受信部によって受信されたアルゴリズムに所定の改変を加えてプログラマブルロジックにアクセスするための検証用アルゴリズムを作成し、判定部が、検証用アルゴリズムを用いてプログラマブルロジックにアクセスして、該プログラマブルロジックがアルゴリズムに記述された機能を実現するか否かを判定し、送信部が、判定部によって機能を実現すると判定されたプログラマブルロジックの構成に関するバイナリデータを作成し、該作成したバイナリデータをWEBサーバに送信し、WEBサーバにおいては、公開部が、第1のクライアントから送信されたアルゴリズム並びに仕様と、第2のクライアントから送信されたバイナリデータとを公開することとしたので、IPプロバイダ(第2のクライアント)は、自己の所有するIPが目的のアルゴリズムに対して正しく機能するかを検証することができる。また、IPプロバイダ(第2のクライアント)は、自己の所有するIP設計データを開示する必要がないため、知的財産も当然に保護できる。したがって、IPを容易かつ効率的に利用して、設計期間の短縮に十分に対応することができる。

【0061】また、本実施の形態2では、第1のクライアントおよび第2のクライアントが、前記サーバとの間に、特定のデータのみを送受信させる防護手段としてのファイアウォールをさらに備えたこととしたので、悪意を持った外部のユーザによるデータの盗難やシステムの破壊を防ぐことができる。このため、IPを広範囲で調達することができる。したがって、IPを容易かつ効率的に利用して、設計期間の短縮に十分に対応することができる。

【0062】なお、本実施の形態2では、1つの第1のクライアントと1つの第2のクライアントとを備えて構成される場合を示したが、本発明はこれに限定されるものではなく、複数の第1のクライアントと複数の第2の

クライアントとを備えて構成することもできる。また、本実施の形態2では、第2のクライアントにおいて、機能設計および検証をおこなう場合を示したが、検証用アルゴリズムを用いて、第2のクライアントから提供されるIPの機能検証をおこなう第3のクライアントを備えて構成することもできる。

【0063】また、本実施の形態2では、第2のクライアントからWEBサーバを介してバイナリデータを送信する場合を示したが、WEBサーバを介さず直接的に第1のクライアントにバイナリデータを送信するように構成することもできる。また、本実施の形態2では、第1のクライアントから第2のクライアントにアルゴリズムが送信される場合を示したが、アルゴリズムではなく検証用アルゴリズムを送信するように構成することもできる。

【0064】(実施の形態3)ところで、上記実施の形態1および2では、検証用アルゴリズムを用いて検証設計をおこなう場合を示すこととしたが、本発明はこれに限定されるものではなく、アルゴリズムの入出力データ(テストベクタ)を用いて検証設計をおこなうこともできる。そこで、本実施の形態3では、アルゴリズムの入出力データ(テストベクタ)を用いて検証設計をおこなう場合を示すこととする。なお、上記実施の形態1に示した各部と同様の機能を有する部位には同一符号を付すこととしてその詳細な説明を省略する。

【0065】まず最初に、本実施の形態3に係る集積回路設計装置の構成について説明する。図5は、本実施の形態3に係る集積回路設計装置8の構成を示すブロック図である。同図に示すように、本実施の形態3に係る集積回路設計装置8は、アルゴリズム設計検証部2と、システム仕様作成部3と、テストベクタ作成部9と、機能設計検証部10と、論理設計検証部6と、レイアウト設計検証部7と、を備えて構成される。

【0066】概略的には、本実施の形態3に係る集積回路設計装置8は、機能設計検証部10において、RTL記述をプログラマブルロジックに変換し、テストベクタ作成部9において、アルゴリズムに記述された機能に関する入力データと出力データ(テストベクタ)を作成し、機能設計検証部10において、テストベクタの入力データをプログラマブルロジックに入力し、該入力に基づく出力データとテストベクタの出力データとが一致するか否かを比較することによって、RTL記述による機能設計の段階においてRTL記述がアルゴリズムと等価であるか否かを検証するものである。

【0067】以下、図5を参照して、本実施の形態3に係る集積回路設計装置8について、テストベクタ作成部9および機能設計検証部10の処理内容を説明する。まず最初に、図5に示すテストベクタ作成部9は、入出力データ作成手段として、アルゴリズム設計検証部2によって設計検証されたアルゴリズムに記述された機能に関

する入力データと出力データとを、テストベクタとして作成する処理部である。

【0068】また、図5に示した機能設計検証部10は、同図に示すように、RTL記述部11と、プログラマブルロジック作成部12と、比較部13とを備えて構成される。なお、RTL記述部11およびプログラマブルロジック作成部12は、上記実施の形態1に示したRTL記述部51およびプログラマブルロジック作成部52と同様の機能を有するので、その説明は省略し、比較部13についてのみ説明することとする。

【0069】機能設計検証部10の比較部13は、比較手段として、テストベクタ作成部9によって作成された入力データをプログラマブルロジック作成部12によって作成されたプログラマブルロジックに入力し、該入力に基づく出力データとテストベクタ作成部9によって作成された出力データとが一致するか否かを比較する処理部である。この比較部13により、出力データが一致すると比較された場合は、アルゴリズムとRTL記述とが等価であることが検証される。一方、一致しないと比較された場合には、一致するまで、新たにRTL記述をおこなう。

【0070】次に、上記のように構成された本実施の形態3に係る集積回路設計装置8における設計処理手順を説明する。図6は、本実施の形態3に係る集積回路設計装置8における設計処理手順を示すフローチャートである。まず最初に、アルゴリズム設計検証部2によって、発注書を基にしてアルゴリズムの設計検証をおこない（ステップS601）、テストベクタ作成部9によって、アルゴリズムを基にしてテストベクタ（入出力データ）を作成する（ステップS602）。

【0071】そして、システム仕様作成部3によって、アルゴリズムを基にして仕様書を作成し（ステップS603）、RTL記述部11によって、仕様書を基にしてRTL記述をおこない（ステップS604）、プログラマブルロジック作成部12によって、RTL記述をプログラマブルロジックに変換する（ステップS605）。

【0072】そして、比較部13によって、プログラマブルロジックの出力データとテストベクタの出力データとが一致するか否かを比較し（ステップS606）、一致しないと判定された場合には（ステップS606否定）、新たにRTL記述をおこなう（ステップS604）。一方、一致する判定された場合には（ステップS606肯定）、論理設計検証部6によって、論理設計をおこない（ステップS607）、レイアウト設計検証部7によって、レイアウト設計をおこなう（ステップS608）。

【0073】上述してきたように、本実施の形態3では、プログラマブルロジック作成部12が、RTL記述部11によって記述されたRTL記述をプログラマブルロジックに変換し、テストベクタ作成部9が、アルゴリ

ズム設計検証部2によって設計検証されたアルゴリズムに記述された機能に関する入力データと出力データを作成し、比較部13が、テストベクタの入力データをプログラマブルロジックに入力し、該入力に基づく出力データとテストベクタの出力データとが一致するか否かを比較することとしたので、RTL記述による機能設計の段階においてRTL記述がアルゴリズムと等価であるかを検証することができる。このため、調達したIPが目的のアルゴリズムに対して正しく機能するかを検証することもできる。したがって、設計検証の効率性やIP利用の効率性を向上させて、設計時間の短縮化を図ることができる。

【0074】（実施の形態4）本実施の形態4では、上記実施の形態3で示した集積回路設計の手法を、ネットワーク接続されたIP（設計資産）プロバイダとの間でおこなう集積回路設計システムについて説明する。すなわち、本実施の形態4に係る集積回路設計システムは、設計目標である集積回路の機能を記述したアルゴリズムに対応した仕様を作成する半導体メーカとしての第1のクライアントと、仕様から集積回路の機能に係るRTL記述を作成するIPプロバイダとしての第2のクライアントと、第1のクライアントによって作成された仕様を第2のクライアントに提供するWEBサーバとをネットワークに接続して構成される。

【0075】概略的には、本実施の形態4に係る集積回路設計システムは、半導体メーカとしての第1のクライアントが、テストベクタ（アルゴリズムの入出力データ）並びに仕様を、WEBサーバを介してIPプロバイダとしての第2のクライアントに送信し、第2のクライアントが、テストベクタを用いて検証設計をおこなったプログラマブルロジックの構成に関するバイナリデータをWEBサーバを介して第1のクライアントに送信し、第1のクライアントが、バイナリデータを基に論理設計をおこなう。

【0076】以下、本実施の形態4に係る集積回路設計システムについて、半導体メーカとしての第1のクライアント、IPプロバイダとしての第2のクライアントおよびWEBサーバの構成および処理の内容を簡単に説明する。

【0077】第1のクライアントは、発注書を基にしてアルゴリズムを作成し、このアルゴリズムが発注書の内容を満足するかを検証するアルゴリズム設計検証部と、アルゴリズムを基にしてシステムの仕様書を作成するシステム仕様作成部と、アルゴリズムを基にしてアルゴリズムの入出力データを作成するテストベクタ作成部と、テストベクタ並びに仕様書をWEBサーバに送信する送信部と、WEBサーバから所定のバイナリデータを受信する受信部と、バイナリデータを基にしてプログラムロジックを作成するプログラマブルロジック作成部と、プログラマブルロジックを基にして論理設計をおこなって

ネットリストを作成する論理設計検証部と、ネットリストを基にしてマスクデータを作成するレイアウト設計検証部とを備えて構成される。

【0078】また、第2のクライアントは、WEBサーバからテストベクタ並びに仕様書を受信する受信部と、受信された仕様から集積回路の機能に係るRTL記述を作成し、このRTL記述をプログラマブルロジックに変換するプログラマブルロジック作成部と、受信されたテストベクタの入力データをプログラマブルロジックに入力し、該入力に基づく出力データとテストベクタの出力データとが一致するか否かを比較する比較部と、比較部によって一致すると判定されたプログラマブルロジックの構成に関するバイナリデータを作成するバイナリデータ作成部と、作成したバイナリデータをWEBサーバに送信する送信部とを備えて構成される。

【0079】また、WEBサーバは、第1のクライアントから送信されたテストベクタ並びに仕様書と、第2のクライアントから送信されたバイナリデータとを公開する公開部を備えて構成される。なお、第1のクライアントおよび第2のクライアントは、WEBサーバとの間に、特定のデータのみを送受信させる防護手段としてのファイアウォールを備える。

【0080】次に、上記のように構成された本実施の形態4に係る集積回路設計システムにおける設計処理手順を説明する。図7は、本実施の形態4に係る集積回路設計システムにおける設計処理手順を示すシーケンス図である。

【0081】まず最初に、半導体メーカーは、アルゴリズムの設計検証、テストベクタの作成および仕様書の作成をおこなって、このテストベクタ並びに仕様書をWEBサーバに送信する（ステップS701、ステップS702およびステップS703）。なお、送信されたテストベクタ並びに仕様は、サーバ上で公開されるが、テストベクタから元のアルゴリズムを復元することは不可能であるので、半導体メーカーのアルゴリズムに係る知的財産は保護される。

【0082】そして、IPプロバイダは、WEBサーバからテストベクタ並びに仕様書を受信して、RTL記述、IPの選択およびカスタマイズ、プログラマブルロジックの作成、テストベクタを用いたプログラマブルロジックの出力データの一致に関する比較などをおこなう（ステップS704）。そして、比較部によって出力データが一致すると判定されたプログラマブルロジックの構成に関するバイナリデータを作成して、このバイナリデータをWEBサーバに送信する（ステップS705）。

【0083】そして、半導体メーカーは、WEBサーバからバイナリデータを受信して、このバイナリデータを基にプログラマブルロジックを作成する（ステップS706）。なお、バイナリデータから元のIP回路を復元す

ることは不可能であるので、IPプロバイダのIP設計データに係る知的財産は保護される。そして、半導体メーカーは、論理設計検証をおこない（ステップS707）、レイアウト設計検証をおこなう（ステップS708）。

【0084】上述してきたように、本実施の形態4では、第1のクライアントにおいては、テストベクタ作成部が、アルゴリズムに記述された機能に関する入力データと出力データとを作成し、送信部が、入出力データ並びに仕様をWEBサーバに送信し、受信部が、WEBサーバから所定のバイナリデータを受信し、論理設計部が、受信部によって受信された所定のバイナリデータに基づいて論理設計をおこない、第2のクライアントにおいては、受信部が、WEBサーバから入出力データ並びに仕様を受信し、プログラマブルロジック作成部が、受信部によって受信された仕様から集積回路の機能に係るRTL記述を作成し、該作成したRTL記述をプログラマブルロジックに変換し、比較部が、受信部によって受信された入力データをプログラマブルロジックに入力し、該入力に基づく出力データと受信部によって受信された出力データとが一致するか否かを比較し、送信部が、比較部によって出力データが一致すると検証されたプログラマブルロジックの構成に関するバイナリデータを作成し、該作成したバイナリデータをWEBサーバに送信し、WEBサーバにおいては、公開部が、第1のクライアントから送信された入出力データ並びに仕様と、第2のクライアントから送信されたバイナリデータとを公開することとしたので、IPプロバイダ（第2のクライアント）は、自己の所有するIPが目的のアルゴリズムに対して正しく機能するかを検証することができる。また、半導体メーカー（第1のクライアント）は、アルゴリズムを開示する必要がなく、IPプロバイダ（第2のクライアント）は、自己の所有するIP設計データを開示する必要がないため、知的財産も当然に保護できる。したがって、IPを容易かつ効率的に利用して、設計期間の短縮に十分に対応することができる。

【0085】また、本実施の形態4では、第1のクライアントおよび第2のクライアントが、前記サーバとの間に、特定のデータのみを送受信させる防護手段としてのファイアウォールをさらに備えたこととしたので、悪意を持った外部のユーザによるデータの盗難やシステムの破壊を防ぐことができる。このため、IPを広範囲で調達することができる。したがって、IPを容易かつ効率的に利用して、設計期間の短縮に十分に対応することができる。

【0086】なお、本実施の形態4では、1つの第1のクライアントと1つの第2のクライアントとを備えて構成される場合を示したが、本発明はこれに限定されるものではなく、複数の第1のクライアントと複数の第2のクライアントとを備えて構成することもできる。また、

本実施の形態4では、第2のクライアントにおいて、機能設計および検証をおこなう場合を示したが、テストベクタを用いて、第2のクライアントから提供されるIPの機能検証をおこなう第3のクライアントを備えて構成することもできる。また、本実施の形態4では、第2のクライアントからWEBサーバを介してバイナリデータを送信する場合を示したが、WEBサーバを介さず直接的に第1のクライアントにバイナリデータを送信するように構成することもできる。

【0087】なお、本実施の形態1〜4で説明した集積回路設計方法は、あらかじめ用意されたプログラムをパーソナル・コンピュータやワークステーション等のコンピュータで実行することによって実現することができる。このプログラムは、ハードディスク、フロッピー（登録商標）ディスク、CD-ROM、MO、DVD等のコンピュータで読み取り可能な記録媒体に記録され、コンピュータによって記録媒体から読み出されることによって実行される。またこのプログラムは、上記記録媒体を介して、インターネット等のネットワークを介して配布することができる。

【0088】

【発明の効果】以上説明したように、請求項1の発明によれば、プログラマブルロジック変換手段は、前記RTL記述をプログラマブルロジックに変換し、検証手段は、前記アルゴリズムと前記プログラマブルロジック変換手段によって変換されたプログラマブルロジックとに基づいて、前記アルゴリズムと前記RTL記述とが等価であるか否かを検証し、論理設計手段は、前記検証手段にて等価であると検証されたRTL記述に基づいて前記集積回路の論理設計をおこなうこととしたので、RTL記述による機能設計の段階においてRTL記述がアルゴリズムと等価であるかを検証することができる。このため、調達したIPが目的のアルゴリズムに対して正しく機能するかを検証することもできる。したがって、設計検証の効率性やIP利用の効率性を向上させて、設計時間の短縮化を図ることが可能な集積回路設計装置が得られるという効果を奏する。

【0089】また、請求項2の発明によれば、前記検証手段において、検証用アルゴリズム作成手段は、前記アルゴリズムに所定の改変を加えて前記プログラマブルロジックにアクセスするための検証用アルゴリズムを作成し、判定手段は、前記検証用アルゴリズム作成手段によって作成された検証用アルゴリズムを用いて前記プログラマブルロジックにアクセスして、該プログラマブルロジックが前記アルゴリズムに記述された機能を実現するか否かを判定することとしたので、RTL記述による機能設計の段階においてRTL記述がアルゴリズムと等価であるかを検証することができる。このため、調達したIPが目的のアルゴリズムに対して正しく機能するかを検証することもできる。したがって、設計検証の効率性

やIP利用の効率性を向上させて、設計時間の短縮化を図ることが可能な集積回路設計装置が得られるという効果を奏する。

【0090】また、請求項3の発明によれば、前記検証手段において、入出力データ作成手段は、前記アルゴリズムに記述された機能に関する入力データと出力データを作成し、比較手段は、前記入出力データ作成手段によって作成された入力データを前記プログラマブルロジック変換手段によって変換されたプログラマブルロジックに入力し、該入力した入力データに対応して出力される出力データと前記入出力データ作成手段によって作成された出力データとが一致するか否かを比較することとしたので、RTL記述による機能設計の段階においてRTL記述がアルゴリズムと等価であるかを検証することができる。このため、調達したIPが目的のアルゴリズムに対して正しく機能するかを検証することもできる。したがって、設計検証の効率性やIP利用の効率性を向上させて、設計時間の短縮化を図ることが可能な集積回路設計装置が得られるという効果を奏する。

20 【0091】また、請求項4の発明によれば、前記アルゴリズムは、オブジェクト指向言語によって記述されていることとしたので、回路（システム）の振る舞いをひとまとまりとして扱うことができる。このため、設計の操作性を向上させることが可能な集積回路設計装置が得られるという効果を奏する。

【0092】また、請求項5の発明によれば、前記第1のクライアントにおいて、第1の送信手段は、前記アルゴリズム並びに前記仕様を前記サーバに送信し、第1の受信手段は、前記サーバから所定のバイナリデータを受信し、論理設計手段は、前記第1の受信手段によって受信された所定のバイナリデータに基づいて前記集積回路の論理設計をおこなう、前記第2のクライアントにおいては、第2の受信手段は、前記サーバから前記アルゴリズム並びに前記仕様を受信し、プログラマブルロジック変換手段は、前記第2の受信手段によって受信された仕様から集積回路の機能に係るRTL記述を作成し、該作成したRTL記述をプログラマブルロジックに変換し、検証用アルゴリズム作成手段は、前記第2の受信手段によって受信されたアルゴリズムに所定の改変を加えて前記プログラマブルロジックにアクセスするための検証用アルゴリズムを作成し、判定手段は、前記検証用アルゴリズム作成手段によって作成された検証用アルゴリズムを用いて前記プログラマブルロジックにアクセスして、該プログラマブルロジックが前記アルゴリズムに記述された機能を実現するか否かを判定し、第2の送信手段は、前記判定手段によって機能を実現すると判定されたプログラマブルロジックの構成に関するバイナリデータを作成し、該作成したバイナリデータを前記サーバに送信し、前記サーバにおいては、公開手段は、前記第1の送信手段によって送信されたアルゴリズムと、前記第1

の送信手段によって送信された仕様と、前記第2の送信手段によって送信されたバイナリデータとを公開することとしたので、IPプロバイダ(第2のクライアント)は、自己の所有するIPが目的のアルゴリズムに対して正しく機能するかを検証することができる。また、IPプロバイダ(第2のクライアント)は、自己の所有するIP設計データを開示する必要がないため、知的財産も当然に保護できる。したがって、IPを容易かつ効率的に利用して、設計期間の短縮に十分に対応することが可能な集積回路設計システムが得られるという効果を奏する。

【0093】また、請求項6の発明によれば、前記第1のクライアントにおいては、入出力データ作成手段は、前記アルゴリズムに記述された機能に関する入力データと出力データとを作成し、第1の送信手段は、前記入出力データ作成手段によって作成された入出力データ並びに前記仕様を前記サーバに送信し、第1の受信手段は、前記サーバから所定のバイナリデータを受信し、論理設計手段は、前記第1の受信手段によって受信された所定のバイナリデータに基づいて前記集積回路の論理設計をおこない、前記第2のクライアントにおいては、第2の受信手段は、前記サーバから前記入出力データ並びに前記仕様を受信し、プログラマブルロジック変換手段は、前記第2の受信手段によって受信された仕様から集積回路の機能に係るRTL記述を作成し、該作成したRTL記述をプログラマブルロジックに変換し、比較手段は、前記第2の受信手段によって受信された入力データを前記プログラマブルロジック変換手段によって変換されたプログラマブルロジックに入力し、該入力した入力データに対応して出力される出力データと前記第2の受信手段によって受信された出力データとが一致するか否かを比較し、第2の送信手段は、前記比較手段によって出力データが一致すると検証されたプログラマブルロジックの構成に関するバイナリデータを作成し、該作成したバイナリデータを前記サーバに送信し、前記サーバにおいては、公開手段は、前記第1の送信手段によって送信された入出力データと、前記第1の送信手段によって送信された仕様と、前記第2の送信手段によって送信されたバイナリデータとを公開することとしたので、IPプロバイダ(第2のクライアント)は、自己の所有するIPが目的のアルゴリズムに対して正しく機能するかを検証することができる。また、半導体メーカ(第1のクライアント)は、アルゴリズムを開示する必要がなく、IPプロバイダ(第2のクライアント)は、自己の所有するIP設計データを開示する必要がないため、知的財産も当然に保護できる。したがって、IPを容易かつ効率的に利用して、設計期間の短縮に十分に対応することが可能な集積回路設計システムが得られるという効果を奏する。

【0094】また、請求項7の発明によれば、前記第1

のクライアントおよび前記第2のクライアントは、前記サーバとの間に、特定のデータのみを送受信させる防護手段をさらに備えたこととしたので、悪意を持った外部のユーザによるデータの盗難やシステムの破壊を防ぐことができる。このため、IPを広範囲で調達することができる。したがって、IPを容易かつ効率的に利用して、設計期間の短縮に十分に対応することが可能な集積回路設計システムが得られるという効果を奏する。

【0095】また、請求項8の発明によれば、プログラマブルロジック変換工程は、前記RTL記述をプログラマブルロジックに変換し、検証工程は、前記アルゴリズムと前記プログラマブルロジック変換工程によって変換されたプログラマブルロジックとに基づいて、前記アルゴリズムと前記RTL記述とが等価であるか否かを検証し、論理設計工程は、前記検証工程にて等価であると検証されたRTL記述に基づいて前記集積回路の論理設計をおこなうこととしたので、RTL記述による機能設計の段階においてRTL記述がアルゴリズムと等価であるかを検証することができる。このため、調達したIPが目的のアルゴリズムに対して正しく機能するかを検証することもできる。したがって、設計検証の効率性やIP利用の効率性を向上させて、設計時間の短縮化を図ることが可能な集積回路設計方法が得られるという効果を奏する。

【0096】また、請求項9の発明によれば、前記検証工程において、検証用アルゴリズム作成工程は、前記アルゴリズムに所定の改変を加えて前記プログラマブルロジックにアクセスするための検証用アルゴリズムを作成し、判定工程は、前記検証用アルゴリズム作成工程によって作成された検証用アルゴリズムを用いて前記プログラマブルロジックにアクセスして、該プログラマブルロジックが前記アルゴリズムに記述された機能を実現するか否かを判定することとしたので、RTL記述による機能設計の段階においてRTL記述がアルゴリズムと等価であるかを検証することができる。このため、調達したIPが目的のアルゴリズムに対して正しく機能するかを検証することもできる。したがって、設計検証の効率性やIP利用の効率性を向上させて、設計時間の短縮化を図ることが可能な集積回路設計方法が得られるという効果を奏する。

【0097】また、請求項10の発明によれば、前記検証工程において、入出力データ作成工程は、前記アルゴリズムに記述された機能に関する入力データと出力データを作成し、比較工程は、前記入出力データ作成工程によって作成された入力データを前記プログラマブルロジック変換工程によって変換されたプログラマブルロジックに入力し、該入力した入力データに対応して出力される出力データと前記入出力データ作成工程によって作成された出力データとが一致するか否かを比較することとしたので、RTL記述による機能設計の段階においてR

TL記述がアルゴリズムと等価であるかを検証することができる。このため、調達したIPが目的のアルゴリズムに対して正しく機能するかを検証することもできる。したがって、設計検証の効率性やIP利用の効率性を向上させて、設計時間の短縮化を図ることが可能な集積回路設計方法が得られるという効果を奏する。

【0098】また、請求項11の発明によれば、前記アルゴリズムは、オブジェクト指向言語によって記述されていることとしたので、回路（システム）の振る舞いをひとまとまりとして扱うことができる。このため、設計の操作性を向上させることが可能な集積回路設計方法が得られるという効果を奏する。

【0099】また、請求項12の発明によれば、前記第1のクライアントにおいて、第1の送信工程は、前記アルゴリズム並びに前記仕様を前記サーバに送信し、前記サーバにおいて、第1の公開工程は、前記第1の送信工程によって送信された前記アルゴリズム並びに前記仕様を公開し、前記第2のクライアントにおいて、第1の受信工程は、前記サーバから前記アルゴリズム並びに前記仕様を受信し、プログラマブルロジック変換工程は、前記第1の受信工程によって受信された仕様から集積回路の機能に係るRTL記述を作成し、該作成したRTL記述をプログラマブルロジックに変換し、検証用アルゴリズム作成工程は、前記第1の受信工程によって受信されたアルゴリズムに所定の改変を加えて前記プログラマブルロジックにアクセスするための検証用アルゴリズムを作成し、判定工程は、前記検証用アルゴリズム作成工程によって作成された検証用アルゴリズムを用いて前記プログラマブルロジックにアクセスして、該プログラマブルロジックが前記アルゴリズムに記述された機能を実現するか否かを判定し、第2の送信工程は、前記判定工程によって機能を実現すると判定されたプログラマブルロジックの構成に関するバイナリデータを作成し、該作成したバイナリデータを前記サーバに送信し、前記サーバにおいて、第2の公開工程は、前記第2の送信工程によって送信されたバイナリデータを公開し、前記第1のクライアントにおいて、第2の受信工程は、前記サーバから前記バイナリデータを受信し、論理設計工程は、前記第2の受信工程によって受信された前記バイナリデータに基づいて前記集積回路の論理設計をおこなうこととしたので、IPプロバイダ（第2のクライアント）は、自己の所有するIPが目的のアルゴリズムに対して正しく機能するかを検証することができる。また、IPプロバイダ（第2のクライアント）は、自己の所有するIP設計データを開示する必要がないため、知的財産も当然に保護できる。したがって、IPを容易かつ効率的に利用して、設計期間の短縮に十分に対応することが可能な集積回路設計方法が得られるという効果を奏する。

【0100】また、請求項13の発明によれば、前記第1のクライアントにおいて、入出力データ作成工程は、

前記アルゴリズムに記述された機能に関する入力データと出力データとを作成し、第1の送信工程は、前記入出力データ作成工程によって作成された入出力データ並びに前記仕様を前記サーバに送信し、前記サーバにおいて、第1の公開工程は、前記第1の送信工程によって送信された前記入出力データ並びに前記仕様を公開し、前記第2のクライアントにおいて、第1の受信工程は、前記サーバから前記入出力データ並びに前記仕様を受信し、プログラマブルロジック変換工程は、前記第1の受信工程によって受信された仕様から集積回路の機能に係るRTL記述を作成し、該作成したRTL記述をプログラマブルロジックに変換し、比較工程は、前記第1の受信工程によって受信された入力データを前記プログラマブルロジック変換工程によって変換されたプログラマブルロジックに入力し、該入力した入力データに対応して出力される出力データと前記第1の受信工程によって受信された出力データとが一致するか否かを比較し、第2の送信工程は、前記比較工程によって出力データが一致すると検証されたプログラマブルロジックの構成に関するバイナリデータを作成し、該作成したバイナリデータを前記サーバに送信し、前記サーバにおいて、第2の公開工程は、前記第2の送信工程によって送信されたバイナリデータを公開し、前記第1のクライアントにおいて、第2の受信工程は、前記サーバから前記バイナリデータを受信し、論理設計工程は、前記第2の受信工程によって受信された前記バイナリデータに基づいて前記集積回路の論理設計をおこなうこととしたので、IPプロバイダ（第2のクライアント）は、自己の所有するIPが目的のアルゴリズムに対して正しく機能するかを検証することができる。また、半導体メーカ（第1のクライアント）は、アルゴリズムを開示する必要がなく、IPプロバイダ（第2のクライアント）は、自己の所有するIP設計データを開示する必要がないため、知的財産も当然に保護できる。したがって、IPを容易かつ効率的に利用して、設計期間の短縮に十分に対応することが可能な集積回路設計方法が得られるという効果を奏する。

【0101】また、請求項14の発明によれば、前記第1のクライアントおよび前記第2のクライアントは、前記サーバとの間に、特定のデータのみを送受信させる防護工程をさらに含んだこととしたので、悪意を持った外部のユーザによるデータの盗難やシステムの破壊を防ぐことができる。このため、IPを広範囲で調達することができる。したがって、IPを容易かつ効率的に利用して、設計期間の短縮に十分に対応することが可能な集積回路設計方法が得られるという効果を奏する。

【0102】また、請求項15の発明によれば、請求項8～14のいずれか一つに記載された方法をコンピュータに実行させるプログラムを記録したことで、そのプログラムを機械読み取り可能となり、これによって、請求項8～14のいずれか一つの動作をコンピュータによ

31

て実現することが可能な記録媒体が得られるという効果を奏する。

【図面の簡単な説明】

【図1】本実施の形態1に係る集積回路設計装置の構成を示すブロック図である。

【図2】図1に示した検証用アルゴリズム作成部による検証用アルゴリズムの作成手法を説明するための説明図である。

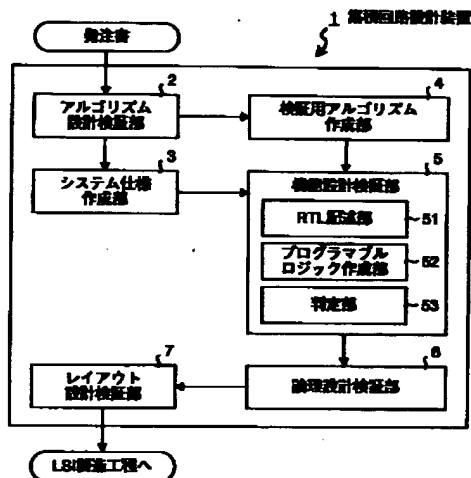
【図3】本実施の形態1に係る集積回路設計装置における設計処理手順を示すフローチャートである。

【図4】本実施の形態2に係る集積回路設計システムにおける設計処理手順を示すシーケンス図である。

【図5】本実施の形態3に係る集積回路設計装置の構成を示すブロック図である。

【図6】本実施の形態3に係る集積回路設計装置における設計処理手順を示すフローチャートである。

【図1】



32

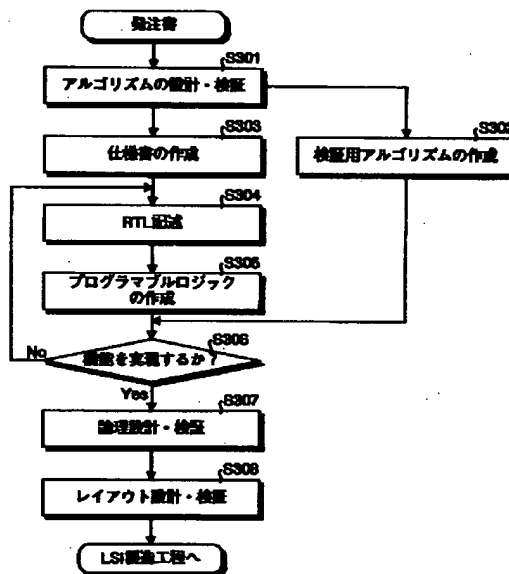
【図7】本実施の形態4に係る集積回路設計システムにおける設計処理手順を示すシーケンス図である。

【図8】従来技術におけるシステムLSIの設計手順を示すフローチャートである。

【符号の説明】

- 1、8 集積回路設計装置
- 2 アルゴリズム設計検証部
- 3 システム仕様作成部
- 4 検証用アルゴリズム作成部
- 5 機能設計検証部
- 6 論理設計検証部
- 7 レイアウト設計検証部
- 11、51 RTL記述部
- 12、52 プログラマブルロジック作成部
- 13 比較部
- 53 判定部

【図3】



【図2】

(a)

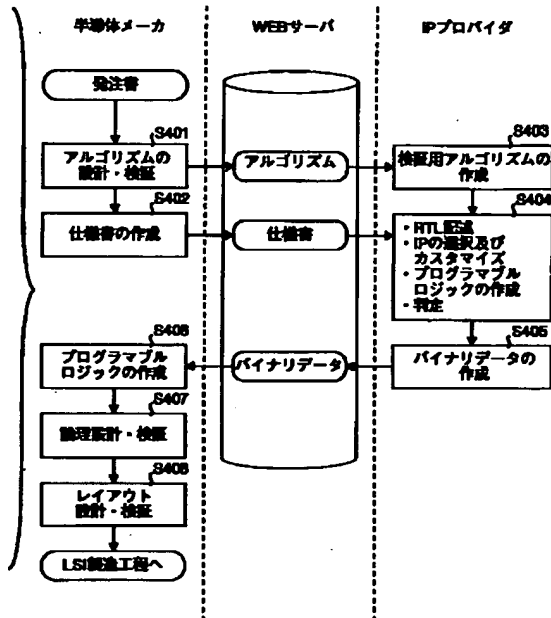
```

#include <stdio.h>
class func {
protected:
    int i1,i2 o1;
public:
    int func1(int i1, int i2){
        o1=i1 * i2;
        return o1;
    }
};

main()
{
    int result;
    func mul;
    result=mul.func1(2,3);
    printf("result=%d",result);
}

```

【図4】



(b)

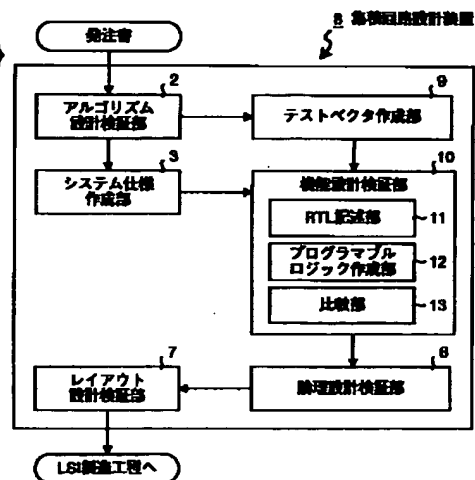
```

#include <stdio.h>
class func_FPGA {
protected:
    int i1,i2 o1;
public:
    int func1(int i1, int i2){
        ハードのアクセスを記述
        return o1;
    }
};

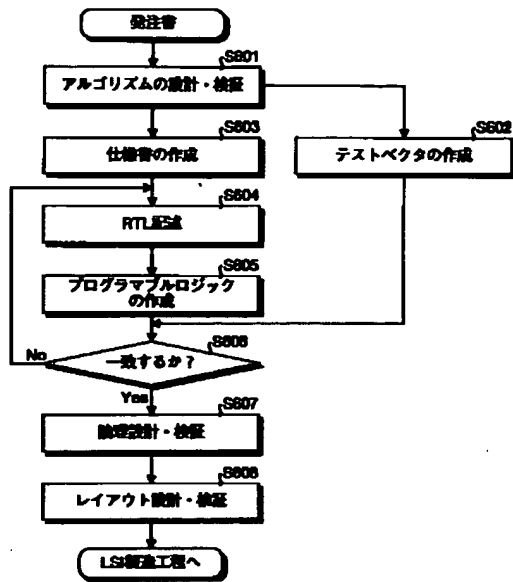
main()
{
    int result;
    func_FPGA mul;
    result=mul.func1(2,3);
    printf("result=%d",result);
}

```

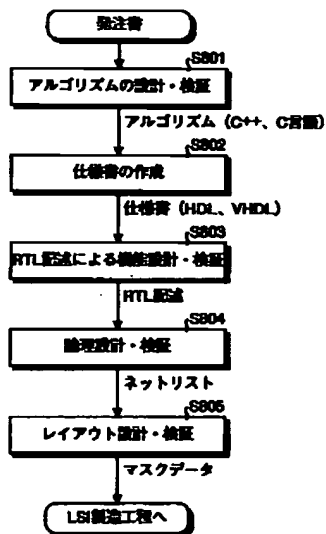
【図5】



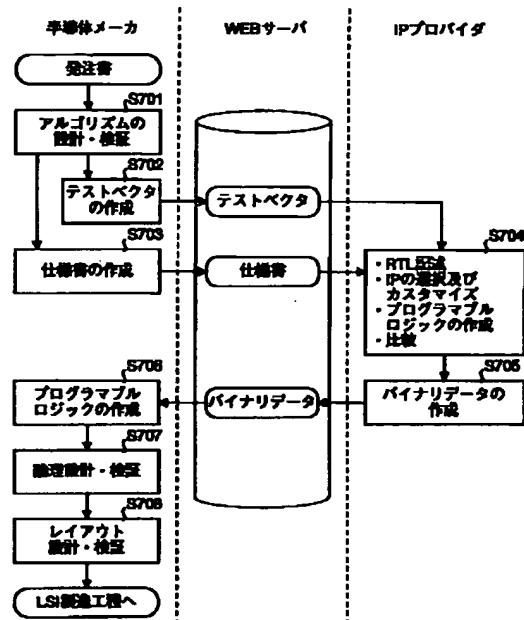
【図6】



【図8】



【図7】



フロントページの続き

(51)Int. Cl.⁷

識別記号

FI
H01L 21/82

テーマコード(参考)

A